

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-218925

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和63年(1988)9月12日
G 02 F 1/133 3 2 7 7370-2H
G 09 F 9/30 3 3 8 C-7335-5C
H 01 L 27/12 A-7514-5F
29/78 3 1 1 A-8422-5F 審査請求 未請求 発明の数 2 (全8頁)

⑮ 発明の名称 薄膜トランジスタアレイ基板及びその製造方法

⑯ 特 願 昭62-52519

⑰ 出 願 昭62(1987)3月6日

⑱ 発 明 者 南 野 裕 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 発 明 者 大 川 野 里 子 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 発 明 者 川 口 隆 夫 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 発 明 者 武 田 悦 矢 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 発 明 者 永 田 清 一 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑲ 代 理 人 弁理士 中 尾 敏 男 外1名

明 細 書

1. 発明の名称

薄膜トランジスタアレイ基板及びその製造方法

2. 特許請求の範囲

(1) 信号を伝達するソース又はドレイン電極母線と信号を伝達するゲート電極母線と、前記ソース又はドレイン電極母線及び前記ゲート電極母線の交叉部に形成された薄膜トランジスタと、前記薄膜トランジスタのドレイン又はソースと接続された電極とを構成要素として含み、前記ゲート電極母線が、少なくとも透明電極層を構成要素として含む層から構成され、ゲート絶縁膜が半層或は逐層から構成されており、少なくともゲート電極と接する部分が窒化物よりなる絶縁層を形成し、前記ゲート電極上に薄膜トランジスタを形成する第2の工程を備えてなることを特徴とする薄膜トランジスタアレイ基板。

(2) 信号を伝達するソース又はドレイン電極母線と、信号を伝達するゲート電極母線と、前記ソース又はドレイン電極母線及び前記ゲート電極母線の交叉部に形成された薄膜トランジスタと、前

記薄膜トランジスタのドレイン又はソースと接続された電極とを構成要素として含む基板の製造方法において、ゲート電極として絶縁性基板上に少なくとも透明電極層を構成要素として含む層を積し、前記層を同一マスクを用いて選択的に除去し、前記ゲート電極母線及び信号電極のパターンを同時に分離形成する第1工程と、前記ゲート電極および信号電極上にゲート絶縁膜が半層或は逐層から構成されており、少なくともゲート電極と接する部分が窒化物よりなる絶縁層を形成し、前記ゲート電極上に薄膜トランジスタを形成する第2の工程を備えてなることを特徴とする薄膜トランジスタアレイ基板の製造方法。

(3) 第1の工程の後、前記信号電極のパターン上の前記透明電極層を露出する工程を有することを特徴とする特許請求の範囲第2項記載の薄膜トランジスタアレイ基板の製造方法。

(4) 薄膜トランジスタの形成は、絶縁層及び半導体層を堆積する工程と、前記絶縁層と半導体層を同一マスクを用いて選択的に除去し、ゲート電

特開昭63-218925(2)

極母線とソース又はドレイン電極母線の交又する部分及び前記漏洩トランジスタを形成する部分の前記半導体層及び前記絶縁層を残し、少なくとも前記ゲート電極母線の周辺取出部及び前記表示電極の部分の前記半導体層及び前記絶縁層を除去する工程よりなることを特徴とする特許請求の範囲第2項記載の薄膜トランジスタアレイ基板の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は薄膜トランジスタ(TFT)を用いたアクティブマトリックス表示基板及びその製造方法に関し、特に液晶ディスプレイ用基板の製造方法に関する。

従来の技術

TFTを用いたアクティブマトリックス型表示基板を用いたディスプレイは、単純マトリックス型表示装置に比べて高い画質が得られるため盛んに研究されている。TFTを用いたアクティブマトリックス型表示装置は第10図に示す構成であ

る。透光性基板20に形成されたソース又はドレイン電極母線21及びゲート電極母線22とTFT23と給索電極24を支持している表示基板25と対向電極26を有する対向基板27とから構成されており、これらの基板25と27の間に液晶が封入される。このようなTFTを用いたアクティブマトリックス型表示装置は単純マトリックス型表示装置に対して工程が多く高価になるという欠点があり、工程を減らす方法が提案されている。例えば、特開昭59-501562号にはマスク操作を2段階に減ずる方法が開示されているが、この方法のTFTは半導体の上に絶縁物を形成する逆スタガー型であり、良質のTFTを得るのは困難である。

一方、絶縁物の上に半導体を形成する逆スタガー型TFTは良質のTFTが得られるが、マトリックス表示基板の製造にはマスク操作5段階を必要とされていた。この方法は第11図で説明する。TFTは絶縁基板30上に堆積されたCrゲート31とSi₃N₄絶縁層32とaSi(アモ

ルファスシリコン)層34とAlソース35とAlドレイン36とで形成されている。給索電極38はITO(Indium-Tin-Oxide)で形成されている。TFTと給索電極38は絶縁層32に形成されたコンタクトホール42に挟くドレイン36に結合されている。この構造を形成するには次のパターン形成工程が必要である。

- (1) ITOを選択エッチングして給索電極38を形成する。
- (2) ゲート金属を選択エッチングしてゲート電極母線31を形成する。
- (3) 絶縁層32に開口部42を設ける(周辺部ゲート電極母線取出部も形成する)。
- (4) aSi半導体を選択エッチングして島状パターンのaSi層34とする。
- (5) ソースドレイン金属を選択エッチングしてソース電極母線35及びコンタクトホール42を介して給索電極38と接続されたドレイン36を形成する。

この方法は5枚のマスクを必要とする。上述した製造方法ではソース・ドレイン電極と半導体層とのオーミックをとるためのドーパしたn⁺-aSi層が形成されていない。このn⁺-aSi層を堆積する工程を加えるには、ソース・ドレインのパターンでn⁺-aSi層を除去しかつ半導体層のaSi34がエッチングされないようにaSi層上にあらかじめ(上述のパターン工程の(2)と(3)の間で)チャンネル保護層を形成する工程が必要となる。この場合6枚マスクが必要となる。

発明が解決しようとする問題点

上述のように絶縁層を堆積した後、半導体層を堆積する逆スタガー型の良質のTFTを用いたアクティブマトリックス表示基板を得るには5〜6枚のマスクが必要であり工程が多かった。

本発明は、TFTを用いたアクティブマトリックス基板をより少ないマスク工程で作成可能とすることを目的とする。

問題点を解決するための手段

特開昭63-218925(3)

本発明は、各絵素に薄膜トランジスタ及び表示用の絵素電極を構成要素として含むアクティブマトリックス型表示基板であって、ゲート電極母線が透明電極と透明電極の少なくとも一部を金属で覆った多層膜から構成される表示基板である。この表示基板は透明電極及び金属の多層膜を堆積形成後、1段階のマスク操作でパターン形成を行う本発明の製造方法でゲート電極及び表示用の絵素電極を同時に形成できる。さらに上述したパターン形成後、別のマスクで表示用の絵素電極上の金属の少なくとも一部を除く本発明の製造方法で透明な絵素電極が得られる。更にゲート絶縁膜として金属の酸化物を用いることを特徴としている。

作用

従来の技術で示した透明電極をエッチングして絵素電極38を形成する工程とゲート金属をエッチングしてゲート電極母線31を形成する工程を、本発明では同一マスクでパターン形成を行いマスク枚数を減らしている。即ち従来の絵素電極

を構成していた透明電極及びゲート金属を堆積し、同一パターンでゲート金属及び透明電極をエッチングする。さらに絵素電極を透明にしたい場合は、別のプロセスで透明電極上の金属をエッチングすることができる。しかしながらこの場合には、ゲート電極の一部として全部または一部としてITOを用いるために、ゲート絶縁層を形成する際に水素など還元性の物質を含む絶縁層(たとえばSiH₄とNH₃混合ガスのプラズマCVD法での酸化シリコン膜)ではITOとの間で良好な界面を形成することが困難となる。ここでゲート絶縁膜として金属酸化物を用いることにより、ゲート電極の一部であるITOにゲート絶縁膜形成時にダメージを与えることがなく良好なゲート電極-ゲート絶縁層界面を持つTFTを作ることが出来る。

実施例

以下実施例に就いて平面図、断面図を用いて説明する。

(実施例1)

第2図は工程を説明する平面図、第1図は工程断面図である。

(1) ガラス基板10上にDCスパッタ法で透明電極ITOを1000Å、Cr金属層1000Åを堆積する。

(2) ITO、Crを、ITO11a、Cr12aよりなるゲート電極、ITO11b、Cr12bよりなる絵素電極の形に残すようにエッチングを施す。第2図aはCr電極12a、12bのパターンを形成し、この下にはITO11a、11bが形成されている。

(3) 次にDCスパッタ法で絶縁層としてのTaOx13を4000Å、プラズマCVD法で半導体層としてaSi層14を1000Å堆積する。

(4) 層13、14を第1図bに示すパターンの形に残すように第2のマスクを用いてフォトリソ工程にてエッチングを施し、ゲート絶縁層とチャンネル領域となるaSi島領域を形成する。

(5) 次にDCスパッタ法でAlを7000Å堆積する。

(6) Alを第2図cに示すパターンのソース(またはドレーン)電極15a、ドレーン(またはソース)電極15bの形に残すように第3のマスクを用いたフォトリソ工程にてエッチングする。出来上がったアクティブマトリクス基板の第2図のA-A'、B-B'線部分の断面図を第1図a、bに示す。なお第2図において図示していないが、12a、12bの下にはITO11a、11bが、aSi14の下にはゲート絶縁層13がそれぞれ同一パターンで形成されている。本実施例では3枚のマスクでアクティブマトリクス基板を形成できる。絵素電極上にCrの絵素電極12bの部分が残っているので反射型の液晶ディスプレイ等に用いることができる。なお第1、2図の基板ともう1枚のガラス基板(カラーの場合カラーフィルター形成)を対向させ、これらの間に液晶を封入すれば液晶表示装置となる。

(実施例2)

本実施例は実施例1とほぼ同一である。共通の工程の説明を省く。第4図はこの工程で形成され

特開昭63-218925 (4)

た基板の平面図、第3図a、bは第4図のC-C'、D-D'線断面を示す。

実施例1の(1)、(2)に続いて、

(3) DCスパッタ法で絶縁層としてのTaOx13を4000Å、プラズマCVD法で半導体層としてaSi層14を1000Å、n+aSi層500Å16を増積する。

(4) 層13、14、16を第2図bに示すパターンと同じ形に残すようにエッチング形成する。

(5) DCスパッタ法でMoSi₂を500Å、Alを7000Å増積する。

(6) Al、MoSi₂を選択的にエッチングし、第3図に示すパターンのAlソース(またはドレイン)電極15a、Alドレイン(またはソース)電極15b、Alゲートバックアップ金属15cの形に残すようにエッチングする。Alの下にMoSi₂17をエッチングするとき、15a、15b、15cのパターンにおおわれていない露出している部分のn+aSi16およびaSi層の一部をエッチングする。さらに15a~1

5c、14aにおおわれていないゲート電極、絶縁電極上のCr金属12bをエッチングすることにより、第4図、第3図に示すように、透明なパターン11a、11bを露出させることが出来、絶縁電極は光を透過する電極となる。

このようにして出来上がった第4図に示すアクティブマトリックス基板のC-C'、D-D'線の断面図を第3図a、bに示す。本実施例では3枚のマスクでアクティブマトリックス基板が形成できる。絶縁電極は透明であるので透過型液晶ディスプレイ等に用いられる。

(実施例3)

本実施例はチャンネル保護層を設ける場合であり、第5図に示す等価回路の絶縁単位(破線内)をもつアクティブマトリックス基板を實現する方法である。101はゲートライン、15aはソースライン(またはドレインライン)、15dは共通電極、104はトランジスタ、105は液晶等の負荷容量、106は共通電極に接続された補助容量である。工程を第7図の最終平面図、第8図

の工程断面図を用いて説明する。第8図のXは第7図のB-E'線部分の工程、Yは第7図に示していないが、周辺部のゲート電極母線の取り出し部の断面工程である。

実施例1の工程(1)、(2)は共通である。この工程に引き続き、

(3) DCスパッタ法で絶縁層としてのTaOx13を4000Å、プラズマCVD法で半導体層としてaSi層14を500Å、SiNx層18を1000Å増積する。

(4) チャンネル保護層となる層18を第7図に示すパターン18aの形に残すようエッチングする。(第8図b)

(5) プラズマCVD法で不純物ドーパントn+aSi層16を500Å増積する。(第8図c)

(6) 層16、14、13、12を第7図の斜線部パターン50およびゲート電極取り出し部をエッチングしてITO11を露出させる。(第8図d) このときゲート電極の取り出し部分にはITO11dが露出される。

(7) DCスパッタ法でMoSi₂を500Å、Al15を7000Å増積する。

(8) 層15、17を第7図に示すパターンのソース(またはドレイン)電極15a、ドレイン(またはソース)電極15b、共通電極15dのパターンに残すようにエッチングする。さらに15dのパターンに残すようにエッチングする。さらに15a、15b、15d、18aにおおわれていない露出している層16、14をエッチングする。(第8図e)

このようにして出来上がったアクティブマトリックス基板は、4枚マスクで完成することが出来る。

(実施例4)

本実施例もチャンネル保護層を設ける場合であり、第6図に示す等価回路の絶縁単位(破線内)をもつアクティブマトリックス回路を實現する方法である。111はゲートライン、112はソースライン(またはドレインライン)、113は次のゲートライン、114はトランジスタ、11

特開昭63-218925 (5)

5は液晶等の負荷容量、116は次段ゲートラインに接続された補助容量である。これを実現するアクティブマトリックス回路の工程を第9図の平面図に示す。

本実施例では4枚マスクでTFTを実現できる。

上述した実施例ではゲート電極をITO上にCr金属でゲート配線を形成する方法を示したが、ITOの代わりに透明電極としてSnO₂、CdO、ZnO等がある。透明電極上の金属は半導体層及び絶縁層のエッチング剤に耐えられる材料を選択すればよく、Al、Cr、Mo、シリサイド等がある。さらに金属はAlとMoSi₂、AlとTi等の2種類以上の層からなっているてもかまわない。また、絶縁層としてはTaO_xを例としたが、SiO₂、Al₂O₃等酸化物であれば特に材料を選ぶものではない。またこの絶縁層は単層である必要はなく、ゲート電極と接する部分が酸化物であればよいので、例えばTaO_x/SiNx二重絶縁膜構造でも可能であることは自明で

ある。半導体層をaSiとしたが、CdSe、Te、polySi等でも良い。またエッチングもウェットエッチング、ドライエッチング(反応性イオンエッチング、ケミカルドライエッチング)のどちらでも良い。

発明の効果

本発明によるプロセスをもちいると従来マスクが5から6段階必要とされる逆スタガー型TFT用いたアクティブマトリックス基板のマスク枚を1枚減らすことができる。更に工天をくわえると3から4段階までマスク枚数を減らすことが出来、低コスト化、歩留まりの向上に大きく等与する構造及び製造方法を開示した。

4. 図面の簡単な説明

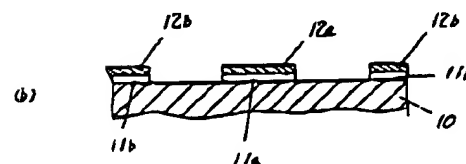
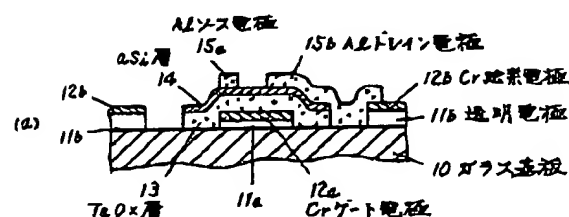
第1図及び第2図はおのおの、本発明の実施例1の工程を説明する断面図及び平面図、第3図及び第4図は本発明の実施例2の工程を説明する断面図及び平面図、第5図及び第6図は実施例3及び実施例4の各断面図、第7図及び第8図は本発明の実施例3の工程を説明する平面図及び断面図

図、第9図は本発明実施例4の工程を説明する平面図、第10図はTFTを用いた表示装置の分解図、第11図は逆スタガー型TFTを用いた従来のプロセスを説明する図である。

11・・・透明電極、12・・・金属層、12a・・・ゲートバスラインパターン、12b・・・給素電極パターン。

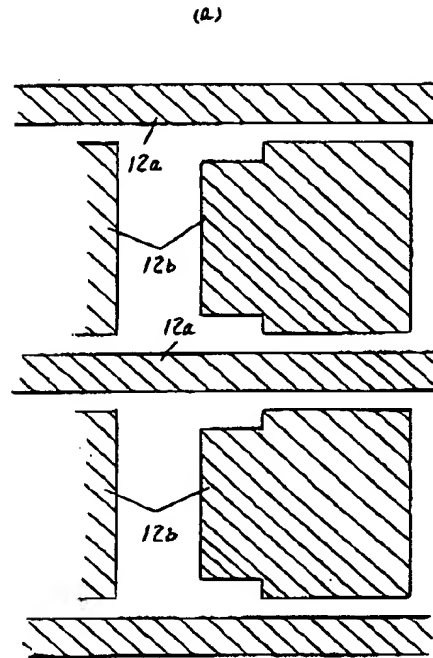
代理人の氏名 弁理士 中尾敏男 ほか1名

第1図

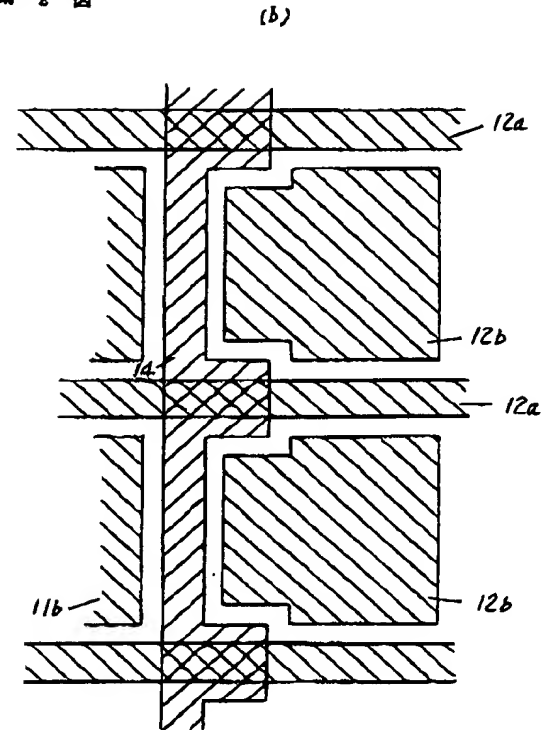


特開昭63-218925(8)

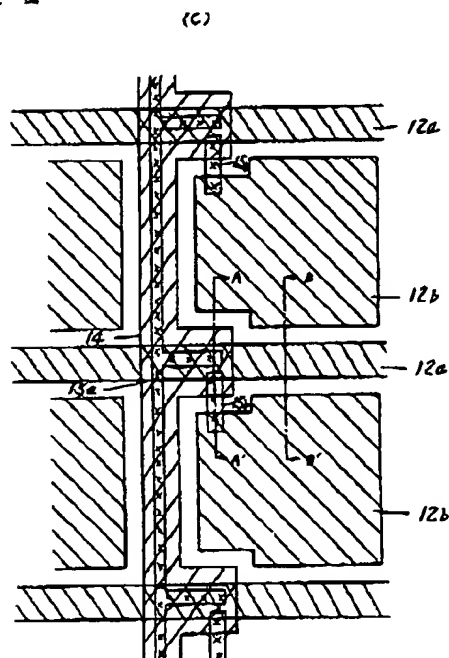
第 2 図



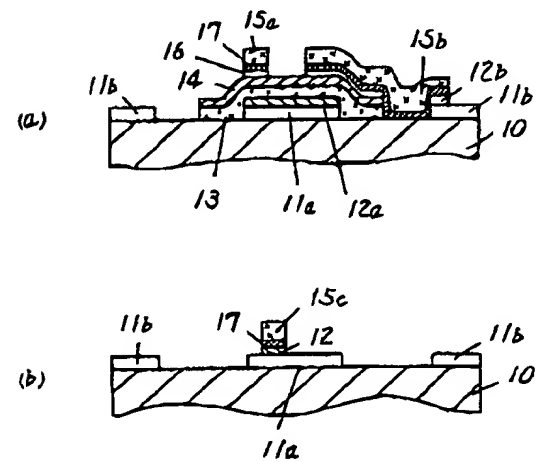
第 2 図



第 2 図

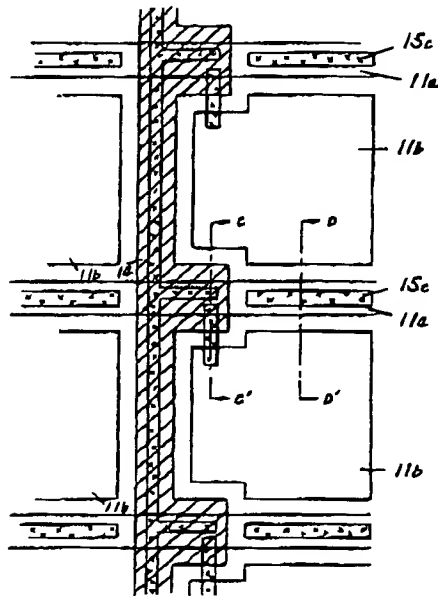


第 3 図

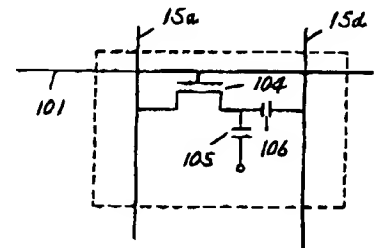


特開昭63-218925(7)

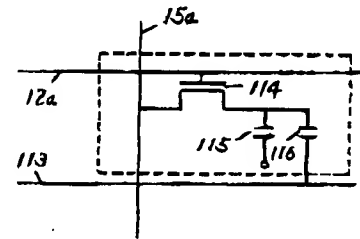
第 4 図



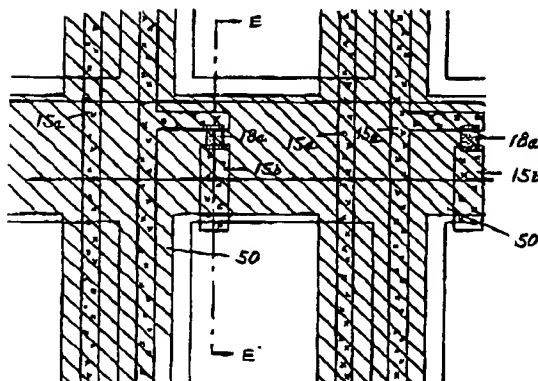
第 5 図



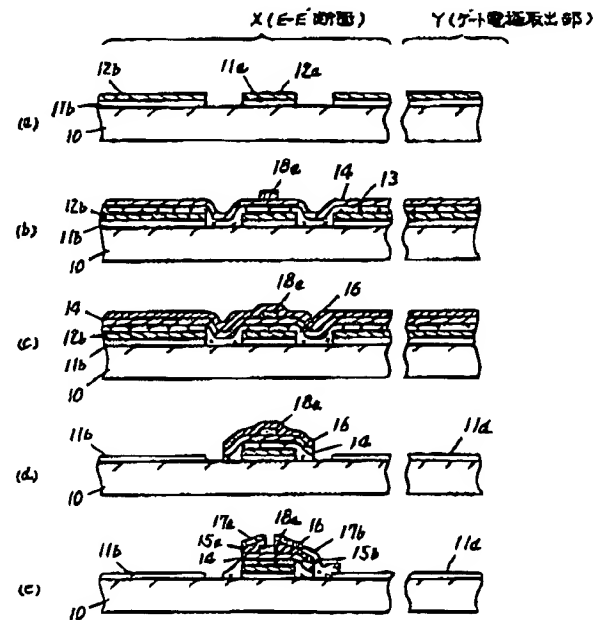
第 6 図



第 7 図

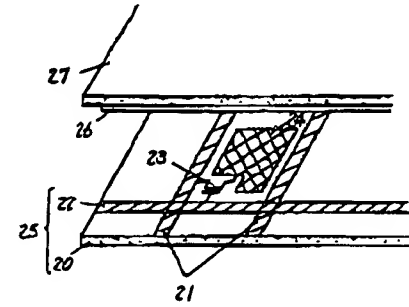


第 8 図

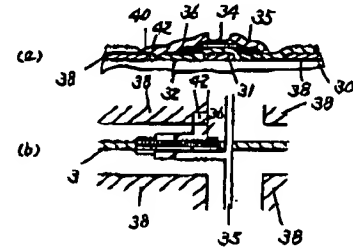


特開昭63-218925(8)

第10図



第11図



第9図

